

公 生 本

91014

申請日期: 91. 5. 15 案號: 91110175

類別: 其他

(以上各欄由本局填註)

發明專利說明書

543125

一、 發明名稱	中文	擴散式晶圓型態封裝結構以及其製程
	英文	FAN-OUT TYPE WAFER LEVEL PACKAGE AND THE METHOD OF THE SAME
二、 發明人	姓名 (中文)	1. 孫文彬 2. 林明輝 3. 楊文彬 4. 楊文焜
	姓名 (英文)	1. Wen-Bin SUN 2. Ming-Hui LIN 3. Wen-Pin YANG 4. Wen-Kun YANG
	國籍	1. 中華民國 2. 中華民國 3. 中華民國 4. 中華民國
	住、居所	1. 台北縣板橋市浮洲里8鄰大觀路一段28巷4弄臨4號 2. 苗栗縣通霄鎮坪頂里14鄰坪頂131號之1 3. 新竹市竹蓮里2鄰竹蓮街112號 4. 新竹市仙水里18鄰安康街6巷47號
三、 申請人	姓名 (名稱) (中文)	1. 裕沛科技股份有限公司
	姓名 (名稱) (英文)	1. Advanced Chip Engineering Technology Inc.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹縣湖口鄉光復北路65號
	代表人 姓名 (中文)	1. 楊文焜
	代表人 姓名 (英文)	1. Wen-Kun YANG



第 1 頁

FREE

BEST AVAILABLE COPY

四、中文發明摘要 (發明之名稱：擴散式晶圓型態封裝結構以及其製程)

本發明之擴散式晶圓型態封裝包含一載體，其中形成穿孔於其中；導電層圖案，分佈於上述穿孔表面以及位於部分之載體上表面；介電層，配置於該載體之上表面且曝露部分之上述導電層圖案；晶片，藉由第一導電凸塊連接於上述被曝露之導電層圖案用以形成電形連接；封裝膠體，覆蓋於上述之晶片以及上述介電層之上；第二導電凸塊，配置於上述載體之下表面且對位於上述之穿孔。

英文發明摘要 (發明之名稱：FAN-OUT TYPE WAFER LEVEL PACKAGE AND THE METHOD OF THE SAME)

The present invention discloses a fan-out type package that includes a carrier having through holes formed therein. A conductive pattern is formed on the surface of the through holes and a portion of the surface of the carrier. A dielectric layer is formed on the carrier's surface to expose a portion of the conductive pattern. A chip or die is formed on the exposed conductive pattern by using first conductive bump. A moulding material is encapsulated the chip and



四、中文發明摘要 (發明之名稱：擴散式晶圓型態封裝結構以及其製程)

英文發明摘要 (發明之名稱：FAN-OUT TYPE WAFER LEVEL PACKAGE AND THE METHOD OF THE SAME)

the dielectric layer. A second conductive bump is formed on the lower surface of the carrier and aligned to the holes.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明(1)

發明領域：

本發明與一種封裝結構有關，特別是有關於一種擴散式(fan-out type)晶圓型態(wafer-level)封裝結構以及其製程。

發明背景：

在極大型積體電路(ULSI)趨勢中，半導體元件的尺寸不斷地縮小，用以不斷地提昇晶圓上元件之積集度。隨著電子元件尺寸的縮小化後，在積體電路的製造過程上出現許多新挑戰。此外，由於電腦以及通訊技術之蓬勃發展，伴隨需要的是更多不同種類與應用之電子元件。例如，由語音操作之電腦界面或其他通訊之界面均需要許多之記憶元件以及不同類型之半導體元件。是故，積體電路之趨勢仍然會朝向高積集度發展。然而，近幾年來高密度半導體元件發展階段早已進入次微米(submicron)之技術範圍。

半導體晶片通常個別地封於塑膠或陶瓷材料之封裝體之內。封裝體之結構必須可以保護晶片以及將晶片操作過程中所產生之熱散出，傳統之封裝亦被用來作為晶片功能測試時之用。此外，隨著半導體技術之快速演進，電子產品在輕薄短小、多功能速度快之趨勢的推動下，IC半導體的I/O數目不但越來越多密度亦越來越高，使得封裝元件的引腳數亦隨之越來越多，速度的要求亦越來越快，導致



五、發明說明(2)

元件耗功率越來越大，所以增進封裝之散熱效果，則日趨重要。目前，封裝也越做越小以符合目前之趨勢，而高數量I/O之封裝也伴隨覆晶封裝技術(flip chip technology)之發展而有所突破，覆晶封裝技術的特點是，負責I/O的引腳為球狀較導線架構裝元件之細長引腳距離短且不易受損變形，其封裝元件之電性的傳輸距離短速度快，可符合目前及未來數位系統速度的需求。換言之，高數量I/O之封裝伴隨球矩陣排列封裝技術(ball grid array; 以下簡稱BGA封裝)技術之發展而有所突破，因此，IC半導體承載的封裝趨向於利用球矩陣排列封裝技術(BGA)。BGA構裝的特點是，負責I/O的引腳為球狀較導線架構裝元件之細長引腳距離短且不易受損變形，其封裝元件之電性的傳輸距離短速度快，可符合目前及未來數位系統速度的需求。

目前已經有許多不同型態之半導體封裝，不論是哪一種型態之封裝，絕大部分之封裝為先行切割成為個體之後在進行封裝。然而，晶圓型態封裝為半導體封裝之一種趨勢，其為反其道而行係將晶粒於晶圓上測試封裝好後再切割。可以節省製程時間以及相對之成本。此外，基於I/O的引腳配置之需求，本發明之動機係提出一種擴散式(fan-out type)晶圓型態(wafer-level)封裝。

發明目的及概述：



五、發明說明 (3)

本發明之目的為提供一種晶圓型態(wafer-level)封裝結構。

本發明之另一目的為提供一種擴散式(fan-out type)晶圓型態(wafer-level)封裝結構及其製程。

本發明之再一目的為提供一可以適用於晶圓型態測試之晶圓型態封裝，以利於晶圓型態崩應測試以及其它之測試。

本發明之擴散式晶圓型態封裝包含：一載體，其中具有穿孔於其中(例如將介電材料塗佈其上利用微影技術留下之罩幕層)；導電層圖案，分佈於上述穿孔表面以及位於部分之載體上表面；介電層，配置於該載體之上表面且曝露部分之上述導電層圖案；晶片，藉由第一導電凸塊連接於上述被曝露之導電層圖案用以形成電形連接；封裝膠體，覆蓋於上述之晶片以及上述介電層之上；第二導電凸塊，配置於上述載體之下表面且對位於上述之穿孔。

一種擴散式晶圓型態封裝之製程包含提供一基板，之後塗佈罩幕層(載體)於上述基板之上。圖案化罩幕層用以曝露部分該基板，以及形成導電圖案於部分罩幕層圖案上以及曝露之基板上。隨後，形成介電層圖案於罩幕層、導電圖案之上並曝露部分之上述導電圖案，以第一導電凸塊



FREE

五、發明說明(4)

將晶片連接於上述被曝露之導電層圖案用以形成電形連接。隨之形成封裝膠體於上述晶片上，再去除上述基板。接續形成第二導電凸塊定位於被曝露出之上述導電圖案，及切割分離封裝單體，用以形成上述擴散式晶圓型態封裝。

發明詳細說明：

本發明為揭露一種晶圓型態封裝以及製作品圓型態封裝之方法，詳細說明如下，所述之較佳實施例只做一說明非用以限定本發明，參閱第一圖，提供一基板(載體)2，以較佳實施例而言可以採用玻璃、石英、陶瓷或均等功能之材質。一單幕層4塗佈於上述基板2之上。就本實施例而言可以採用錫膏罩幕材質(solder mask material)作為一範例或環氧樹脂或二乙烯基矽氧烷雙苯並環丁烯樹脂或聚亞醯胺樹脂。之後利用圖案化製程例如微影製程將上述之單幕層4圖案化用以定義出預設之圖案。可利用濺鍍形成底層再利用光阻定義出特定區域，使用電鍍技術形成導電層6於被光阻所曝露之區域。隨後去除光阻並蝕刻底層，如第二圖所示。

參閱第三圖至第五圖，形成一介電層圖案8於上述單幕層4圖案以及導電層6之上，一般可以採用微影或印刷製程達



五、發明說明(5)

到上述目的，此介電層圖案8將部分之導電層6曝露出以利用後續之製程。之後，利用第一導電凸塊10將晶片12連接於上述被曝露出之導電層6區域之上方，並與導電層6形成電性連接。隨後如第五圖所示，塗佈封裝膠體或化合物14於基板2之上並覆蓋整個晶片12，標示16係為切割線所在。

下一步驟則將玻璃基板2去除，可以採用物理研磨或是化學蝕刻方式或任何已知之技術達到，參閱第六圖。因此，基於上述之步驟，位於單幕層4圖案下側之導電層6將被曝露以形成電性接觸端點。這電路被暴露之區域為預定來置放導體球之區域。舉一實施例而言，上述曝露之導電層6可以做為輸出輸入之端點。另一實施例則將第二導電凸塊18接著於上述曝露之導電層6用以形成球矩陣排列封裝(BGA)做為輸出輸入之端點如第七圖所示。導電通道佈局或通稱之電路重新分佈重新配置於單幕層表面之上。電路可以利用導電物質所組成例如金屬或合金，較佳為利用Cu-Cr Cu-Ni-Au或其合金。上述之導電凸塊(第二球矩陣排列)將部分第一導電凸塊之佈局重新分布並將端點擴散於晶片投影面積之範圍之外故稱作擴散式封裝。上述導電凸塊使用一錫膏單幕遮住電路作為一絕緣且錫膏單幕暴露電路特定之區域，一印刷製程用來塗佈錫膏於上述特定之區域之上或塗佈助焊劑於上述特定之區域之上並植錫球。上述第一以及第二凸塊也可以採用錫凸塊、金凸塊或其合



五、發明說明 (6)

金然後利用熱流過程將錫膏變成錫球，此熱流之溫度可以利用已知之製程溫度，半導體晶粒將耦合於上述之錫球，錫球可以利用已知的BGA技術加以製作，較佳之錫球分佈為一陣列排列，錫球連接上述之電路因而建立電性連接。

之後，將上述封裝體翻轉，一膠帶20先行貼附於封裝膠體14表面，以利於切割後封裝單體排列之完整性以避免切割後封裝體散置。可以利用習知技術之貼附技術加以附著，一般而言係採用藍膠帶(blue tape)。隨後，利用習知切割技術以上述標示16之切割線所在區域對位進行切割，再剝除藍膠帶20以分離個別之封裝單體。其最終結構示之於第九圖，基於本發明係可以應用於晶圓型態之封裝，且利於將端點擴散配合實際之應用因此本發明係為一種擴散式(fan-out type)晶圓型態(wafer-level)封裝結構以及其製程。值得注意的是，在切割之前可以進行晶片之測試。例如傳送至晶圓型態測試裝置中進行晶圓型態測試，例如崩應測試(burn-in)，完成晶圓型態測試之後，然後進行切割用以分離個別之晶粒。切割過程主要沿著切割道切割而得到擴散式晶片尺寸封裝(chip scale package ; CSP)。上述擴散式晶圓型態封裝包含：一載體(錫膏罩幕材質;solder mask material)，其中具有穿孔於其中；導電層圖案，分佈於上述穿孔表面以及位於部分之載體上表面；介電層，配置於該載體之上表面且曝露部分之上述導電層圖案；晶片，藉由第一導電凸塊連接於上述被曝露



FREE

五、發明說明 (7)

之導電層圖案用以形成電形連接；封裝膠體，覆蓋於上述之晶片以及上述介電層之上；第二導電凸塊，配置於上述載體之下表面且對位於上述之穿孔。

本發明以較佳實施例說明如上，而熟悉此領域技藝，在不脫離本發明之精神範圍內，當可作些許更動潤飾，其專利保護範圍更當視後附之申請專利範圍及其等同領域而定。



圖式簡單說明

本發明的較佳實施例將於往後之說明文字中輔以下列圖形做更詳細的闡述：

第一圖一所顯示為本發明形成罩幕層於基板上之截面圖。

第二圖所顯示為本發明形成導電層之截面圖。

第三圖所顯示為本發明形成介電層之截面圖。

第四圖所顯示接合晶片之截面圖。

第五圖所顯示為本發明塗佈封裝膠體之截面圖。

第六圖所顯示為本發明去除基板之截面圖。

第七圖所顯示為本發明植入導電凸塊之截面圖。

第八圖所顯示為本發明切割單體之截面圖。

第九圖所顯示為本發明切割後封裝單體之截面圖。

元件符號對照

基板2

罩幕層4

導電層6

介電層圖案8

第一導電凸塊10

晶片12

封裝膠體14

切割線 16

第二導電凸塊18

膠帶20



六、申請專利範圍

1. 一種擴散式晶圓型態封裝包含：

一載體，其中具有穿孔於其中；

導電層圖案，分佈於上述穿孔表面以及位於部分之載體上表面；

介電層，配置於該載體之上表面且曝露部分之上述導電層圖案；

晶片，藉由第一導電凸塊連接於上述被曝露之導電層圖案用以形成電形連接；

封裝膠體，覆蓋於上述之晶片以及上述介電層之上；

第二導電凸塊，配置於上述載體之下表面且對位於上述之穿孔。

2. 如申請專利範圍第1項之擴散式晶圓型態封裝，其中該載體材質包含錫膏罩基材料或環氧樹脂或二乙烯基矽氧烷雙苯並環丁烯樹脂或聚亞醯胺樹脂所組成。

3. 如申請專利範圍第1項之擴散式晶圓型態封裝，其中該第一導電凸塊包含錫球或金凸塊或其合金。

4. 如申請專利範圍第1項之擴散式晶圓型態封裝，其中該第二導電凸塊包含錫球或金凸塊或其合金。

5. 一種擴散式晶圓型態封裝之製程，該擴散式晶圓型態封裝之製程包含：



六、申請專利範圍

提供一基板；

塗佈罩幕層於上述基板之上；

圖案化該罩幕層用以曝露部分該基板；

形成導電圖案於部分罩幕層圖案上以及該曝露之基板上；

形成介電層圖案於該罩幕層、該導電圖案之上並曝露部分之上述導電圖案；

以第一導電凸塊將晶片連接於上述被曝露之導電層圖案用以形成電形連接；

形成封裝膠體於上述晶片之上；

剝除上述基板；

形成第二導電凸塊定位於被曝露出之上述導電圖案；

及

切割分離封裝單體，用以形成上述擴散式晶圓型態封裝。

6. 如申請專利範圍第5項之擴散式晶圓型態封裝之製程，其中該基板包含玻璃。

7. 如申請專利範圍第5項之擴散式晶圓型態封裝之製程，其中該基板包含陶瓷。

8. 如申請專利範圍第5項之擴散式晶圓型態封裝之製程，其中該基板包含石英。

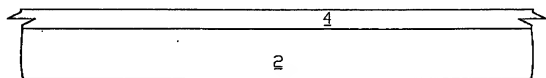


六、申請專利範圍

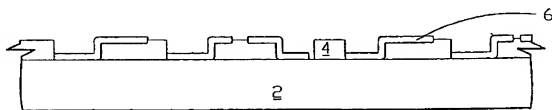
9. 如申請專利範圍第5項之擴散式晶圓型態封裝之製程，其中該罩幕層材質包含錫膏罩幕材料所組成。
10. 如申請專利範圍第5項之擴散式晶圓型態封裝之製程，其中該第一導電凸塊包含錫球或金凸塊或其合金。
11. 如申請專利範圍第5項之擴散式晶圓型態封裝之製程，其中該第二導電凸塊包含錫球或金凸塊或其合金。



圖式



第一圖

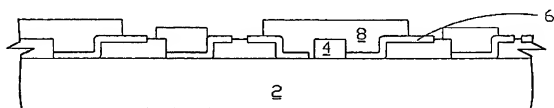


第二圖

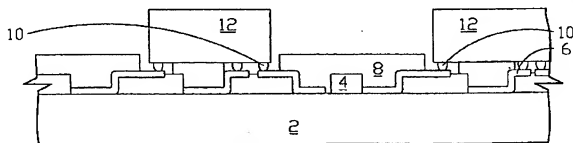
FREE

FREE

圖式

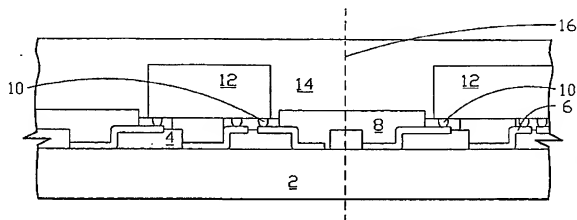


第三圖

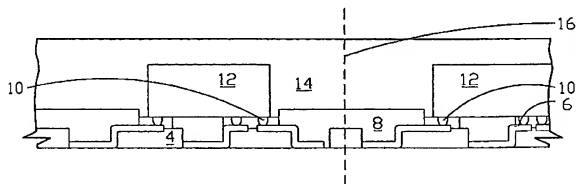


第四圖

圖式



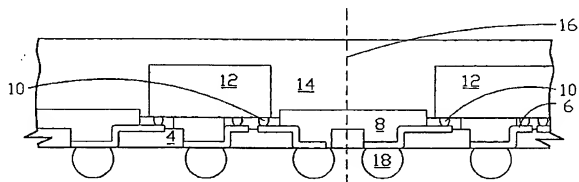
第五圖



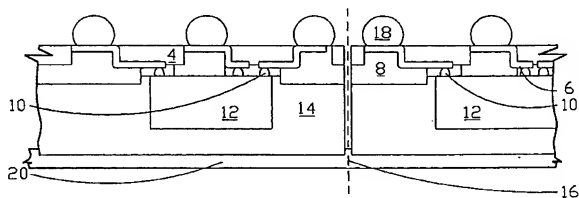
第六圖

FREE

圖式

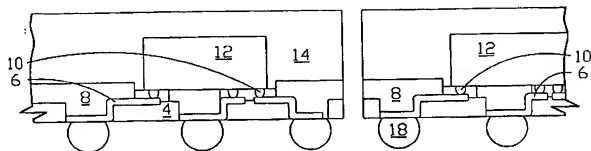


第七圖



第八圖

圖式



第九圖

FREE

Taiwan patent application No.TW 543,125

Title of the invention : Fan out type WLP and the method of the same

ABSTRACT OF THE DISCLOSURE

The present invention discloses a fan-out type package that includes a carrier having through holes formed therein. A conductive pattern is formed on the surface of the through holes and a portion of the surface of the carrier. A dielectric layer is formed on the carrier's surface to expose a portion of the conductive pattern. A chip or die is formed on the exposed conductive pattern by using first conductive bump. A molding material is encapsulated the chip and the dielectric layer. A second conductive bump is formed on the lower surface of the carrier and aligned to the holes.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.